



(19)

(11) Publication number: 60177678 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 59032355

(51) Intl. Cl.: H01L 29/78 H01L 27/10

(22) Application date: 24.02.84

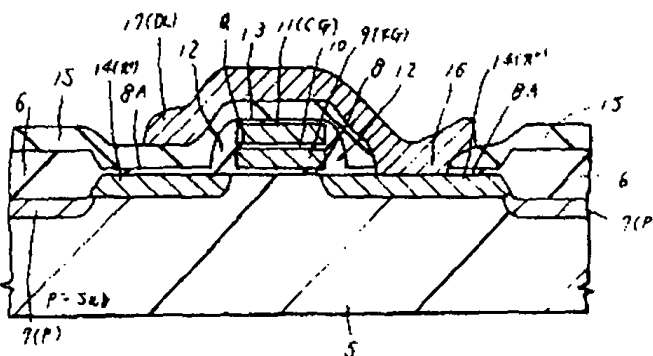
(30) Priority:	(71) Applicant: HITACHI LTD
(43) Date of application publication: 11.09.85	(72) Inventor: SUGIURA JUN KOMORI KAZUHIRO
(84) Designated contracting states:	(74) Representative:

(54) SEMICONDUCTOR  
INTEGRATED CIRCUIT  
DEVICE AND  
PRODUCTION THEREOF

(57) Abstract:

**PURPOSE:** To improve the property of holding electric charge stored in a conductive layer, by providing an insulation layer on the sides of the conductive layer provided on a semiconductor substrate through an insulation layer so as to cover the gate insulation layer and the interlaminar insulation layer.

**CONSTITUTION:** A field insulation layer 6 is provided on the surface of a p-type semiconductor substrate 5 for electrically isolating semiconductor elements. Insulation layers 8 and 8A are provided on the surface of the substrate 5. A conductive layer 9 is provided in a predetermined position on the layer 8 for constituting a floating gate of a rewritable P-ROM memory cell. An insulation layer 10 is provided on the layer 9 and a conductive layer 11 is provided thereon through the layer 10. The layer 11 constitutes a control gate over the layer 9. An insulation layer 12 is provided in contact with the layers 9 and 11 or with the sides of the layer 11 so as to cover at least the layers 8 and 10. The insulation layer 12 inhibits the leakage occurring between the conductive regions and the charge spill occurring on the layer 8A. Accordingly, the property of holding charge stored in the layer 9 can be improved.



⑫ 公開特許公報(A) 昭60-177678

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月11日

H 01 L 29/78  
27/10

7514-5F  
0055-5F

審査請求 未請求 発明の数 4 (全18頁)

⑮ 発明の名称 半導体集積回路装置およびその製造方法

⑯ 特 願 昭59-32355

⑰ 出 願 昭59(1984)2月24日

⑱ 発 明 者 杉 浦 順 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
⑲ 発 明 者 小 森 和 宏 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体集積回路装置およびその製造方法  
特許請求の範囲

1. 他の領域と電気的に分離された第1の半導体領域上部に第1の絶縁層を介して設けられた導電層を具備し、前記導電層の側部に、少なくとも第1の絶縁層を覆う第2の絶縁層を備えたことを特徴とする半導体集積回路装置。
2. 前記導電層は、第1の絶縁層を介して設けられた第1の導電層と、該第1の導電層上部に第3の絶縁層を介して設けられた第2の導電層とによって構成されてなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
3. 前記第2の絶縁層は、焼き固められた酸化シリコン層により構成されてなることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。
4. 前記第2の絶縁層は、化学的気相析出技術による酸化シリコン層またはガラスフローを生じない低炭素のフォスファシリケートガラス層により

構成されてなることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。

5. 前記第2の絶縁層は、スパッタ技術による酸化シリコン層により構成されてなることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。

6. 前記第2の絶縁層は、プラズマ化学的気相析出技術による酸化シリコン層により構成されてなることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。

7. 前記導電層は、その両側部の第1の半導体領域主面部に、それと反対導電型の第2の半導体領域を具備し、電界効果トランジスタを構成するものであることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。

8. 前記導電層は、その下部に、半導体素子間を電気的に分離するためのフィールド絶縁層が介在し、半導体素子間を電気的に接続する配線を構成するものであることを特徴とする特許請求の範囲第1項および第2項記載の半導体集積回路装置。

9. 前記電界効果トランジスタは、前記第2の絶縁層によって、そのチャネルが形成されるべき領域への前記第2の半導体領域の引き出し拡散量が抑制されてなることを特徴とする特許請求の範囲第7項記載の半導体集積回路装置。

10. 前記電界効果トランジスタは、そのチャネルが形成されるべき領域と第2の半導体領域との間部に、第2の半導体領域と同一導電型で電気的に接続されかつそれよりも低い不純物濃度を有する第3の半導体領域を具備してなることを特徴とする特許請求の範囲第7項および第9項記載の半導体集積回路装置。

11. 前記第1の導電層は、多結晶シリコン層によって構成されてなることを特徴とする特許請求の範囲第2項乃至第10項記載の半導体集積回路装置。

12. 前記第2の導電層は、多結晶シリコン層によって構成されてなることを特徴とする特許請求の範囲第2項乃至第11項記載の半導体集積回路装置。

記第1の導電層とその上部に第3の絶縁層を介して設けられた第2の導電層とによって構成されてなる導電層との複数種類の導電層を具備し、前記複数種類のそれぞれの導電層の側部に、少なくとも第1の絶縁層を覆う第2の絶縁層を備えたことを特徴とする半導体集積回路装置。

17. 他の領域と電気的に分離された第1の半導体領域上部に第1の絶縁層を介して設けられた第1の導電層と、該第1の導電層上部に第3の絶縁層を介して設けられた第2の導電層とによって構成される導電層を形成する工程と、前記導電層の両側部に、少なくとも第1の絶縁層を覆う第2の絶縁層を形成する工程と、前記導電層の両側部の第1の半導体領域主面部に、第1の半導体領域と反対導電型の…対の第2の半導体領域を形成する工程とを具備してなることを特徴とする半導体集積回路装置の製造方法。

18. 前記第2の絶縁層を形成する工程は、導電層を覆う酸化シリコン層を形成し、導電層の両側部以外の酸化シリコン層を選択的に除去した後に、

13. 前記第2の導電層は、高融点金属層または高融点金属とシリコンとの化合物であるシリサイド層によって構成されてなることを特徴とする特許請求の範囲第2項乃至第11項記載の半導体集積回路装置。

14. 前記第2の導電層は、多結晶シリコン層上部に、高融点金属層または高融点金属とシリコンとの化合物であるシリサイド層を被層して構成されてなることを特徴とする特許請求の範囲第2項乃至第11項記載の半導体集積回路装置。

15. 他の領域と電気的に分離された第1の半導体領域上部に第1の絶縁層を介して設けられた導電層を具備し、前記導電層の側部に、少なくとも第1の絶縁層を覆い、第1の絶縁層または第3の絶縁層のうちどちらか一方の膜厚と同程度もしくはそれよりも厚い膜厚を有する第2の絶縁層を備えたことを特徴とする半導体集積回路装置。

16. 他の領域と電気的に分離された第1の半導体領域上部に第1の絶縁層を介して設けられた第1の導電層によって構成されてなる導電層と、前

記された酸化シリコン層を焼き固めることによって形成してなることを特徴とする特許請求の範囲第17項記載の半導体集積回路装置の製造方法。

19. 前記第2の絶縁層を形成する工程は、導電層を覆う酸化シリコン層を形成し、該酸化シリコン層を焼き固めた後に、導電層の両側部以外の酸化シリコン層を選択的に除去してなることを特徴とする特許請求の範囲第17項記載の半導体集積回路装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明は、半導体集積回路装置に適用して有効な技術に関するものであり、特に、フローティングゲートを有する電界効果トランジスタを備えた半導体集積回路装置に適用して有効な技術に関するものである。

〔背景技術〕

紫外線によって情報の書き換えが可能な読み出し専用の記憶機能を備えた半導体集積回路装置（以下、EPROMという）が知られている。E

PROMにおいて、情報を記憶するメモリセルは、半導体基板上面に第1の絶縁層を介して設けられたフローティングゲートと、その上部に第2の絶縁層を介して設けられたコントロールゲートとを有する電界効果トランジスタによって構成されている。通常、フローティングゲートとコントロールゲートとは多結晶シリコンによって形成される(たとえば雑誌「日経エレクトロニクス」1981年1月5日号P181~P201など)。

フローティングゲートに蓄積した情報となる電荷の保持特性を向上するために、フローティングゲートとコントロールゲートとを熱酸化技術によって形成した緻密な酸化シリコン層で覆うことが考えられる。これは、フローティングゲートの端部とソース領域、ドレイン領域またはコントロールゲートとの間に生じるリーク現象によって、蓄積された電荷の減少を抑制するために、必要とされる。

かかる技術における実験ならびにその検討の結果、本発明者は、第1の絶縁層と同程度もしくは

それ以上の膜厚を有する緻密な酸化シリコン層でフローティングゲートとコントロールゲートとを覆うことによって、フローティングゲートに蓄積された情報となる電荷の保持特性が向上されるという事実を発見した。

しかしながら、本発明者は、以下に述べる問題点が存在するため、第1の絶縁層または第3の絶縁層のうちどちらか薄い方の膜厚と同程度もしくはそれ以上の膜厚を有する緻密な酸化シリコン層を得ることと、メモリアイソの小型化が相反する要求であると考察している。

EPROMメモリアイソの小型化に伴ない、情報の書き込みおよび読み出し動作における信頼性の低下、動作速度の低下を生じる。一方、緻密な酸化シリコン層の膜厚を得るために、熱酸化技術による長い熱処理工程が必要とされる。フローティングゲートと半導体基板との間に酸化シリコン層が形成される速度に比べ、フローティングゲートとコントロールゲートとの間に酸化シリコン層が形成される速度が遅い。このため、特に、コント

ロールゲートの端部の持ち上がりを生じる。これは、前者により構成される寄生容量値に比べ、後者により構成される寄生容量値が減少することを意味する。従って、フローティングゲートの電位が低下しメモリセルへの情報の書き込み動作時には、その効率が悪くなり、信頼性を低下する。また、メモリセルの情報の読み出し動作時には、ソース領域とドレイン領域との間のチャンネル領域を流れる電流量が少なくなる。これは、ゲート下にチャージされた電荷を速くぬくことができず、その速度を低下を招く。この現象はチャンネル長が短くなる程、減少する容量の割合が大きくなるので顕著となり、メモリセルの小型化の障害となる。

メモリセルとなる電界効果トランジスタのソース領域またはドレイン領域は、次のように形成される。フローティングゲートとコントロールゲートとを不純物導入のためのマスクとして用い、イオン注入技術でそれらの両側部の半導体基板上面部にその形成のための不純物を導入する。その後、前記緻密な酸化シリコン層を形成するとと

もに、前記不純物に引き伸し拡散を施すことによって形成する。このとき、前述のように、長い熱処理工程が必要とされるために、必要以上の引き伸し拡散が施され、ソース領域とドレイン領域との間部の実効チャンネル長が短くなる。従って、短チャンネル効果を誘発し、EPROMの情報の書き込みおよび読み出し動作における信頼性を低下してしまい、メモリセルの小型化に不向きである。  
(発明の目的)

本発明の目的は、電界効果トランジスタのフローティングゲートに蓄積される電荷の保持特性を向上することが可能な技術手段を提供することにある。

本発明の他の目的は、フローティングゲートを有する電界効果トランジスタを備えた半導体集積回路装置の信頼性を向上することが可能な技術手段を提供することにある。

本発明の他の目的は、フローティングゲートを有する電界効果トランジスタを備えた半導体集積回路装置の動作速度を向上することが可能な技術

手段を提供することにある。

本発明の他の目的は、フローティングゲートを有する電界効果トランジスタの上部に絶縁層を介して形成されるであろう導電層の信頼性を向上することが可能な技術手段を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付した図面によって、明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体基板上部にゲート絶縁層を介して設けられたフローティングゲートと、その上部に層間絶縁層を介して設けられたコントロールゲートとによって構成される導電層を有する電界効果トランジスタの前記導電層の側部に、少なくともゲート絶縁層および層間絶縁層を覆う焼き固めた絶縁層を設ける。これにより、フローティングゲートの端部とソース領域またはドレイン領域

との間に生じるであろう不要なリーク現象を抑制することができる。さらに、熱酸化技術による高密度酸化シリコン層を必要とせず、フローティングゲートとコントロールゲートとにより構成される寄生容量値の低下を抑制することができる。したがって、フローティングゲートに蓄積される情報となる電荷の保持特性が向上し、さらに、情報の書き込みおよび読み出し動作における信頼性と動作速度とが向上する。

以下、本発明の構成について、実施例とともに説明する。

なお、全図において、同一機能を有するものは同一符号を付け、そのくり返しの説明は省略する。

本実施例は、フローティングゲートとコントロールゲートとを有する電界効果トランジスタをメモリスセルとするEPRROMについて、その説明をする。

〔実施例1〕

第1図は、本発明の実施例1の概要を説明するためのEPRROMの要部を示す等価回路図である。

第1図において、X-デコーダ1は後述する所定のワード線を選択し、そのワード線に接続されたメモリスセルを“ON”させるためのものである。Y-デコーダ2は後述する所定のデータ線を選択し、そのデータ線に情報となる電圧を印加するためのものである。書き込み回路3は後述する所定のワード線を選択し、そのワード線に接続された所定のメモリスセルに情報を書き込むためのものである。センスアンプ4は後述する所定のデータ線を選択し、そのデータ線に接続された所定のメモリスセルの情報を読み出すためのものである。

$WL_1, WL_2, \dots, WL_m$  はその一端がX-デコーダ1に接続され他端が書き込み回路3に接続され、X方向に延在してY方向に複数本設けられたワード線であり、それに接続されたメモリスセルを“ON”しかつ情報を書き込むためのものである。 $DL_1, DL_2, \dots, DL_n$  はその一端がY-デコーダ2に接続され他端がセンスアンプ4に接続され、Y方向に延在してX方向に複数本設けられたデータ線であり、それに接続されたメモ

リスセルの情報を伝達するためのものである。メモリスセル $M_{11}, M_{12}, \dots, M_{nm}$ はワード線 $WL$ とデータ線 $DL$ との所定交差部に複数配置して設けられている。メモリスセル $M$ は、フローティングゲートと所定のワード線 $WL$ に接続されたコントロールゲートとを有し、その一端が所定のデータ線 $DL$ に接続され他端が接地された電界効果トランジスタ $Q$ によって構成されている。そして、マトリクス状に配置された複数のメモリスセル $M$ によって、メモリスセルアレイが構成される。

次に、本実施例の具体的な構造について、その説明をする。

第2図は、本発明の実施例1を説明するためのEPRROMの要部平面図であり、第3図は、第2図のIII-III切断線における断面図、第4図は、第2図のIV-IV切断線における断面図である。なお、第2図は、その図面を見易くするために、各導電層間に設けられるべき層間絶縁層は図示しない。

第2図乃至第4図において、シリコン単結晶からなるp型半導体基板5の主面側であって、

主として半導体素子が形成されるべき領域間フィールド絶縁層6が半導体素子間を電気的に分離するために設けられている。フィールド絶縁層6下部の半導体基板5主面部に、p型のチャネルストップ領域7が半導体素子間をより電気的に分離すゝるために設けられている。

8、8Aは半導体素子が形成されるべき領域の半導体基板5主面上部に設けられた絶縁層であり、絶縁層8は主として電界効果トランジスタのゲート絶縁層を構成するためのものである。絶縁層8の所定上部に設けられた導電層9は、EPROMのメモリセルのフローティングゲート(FG)を構成するためのものである。10は導電層9上部を覆うように設けられた絶縁層であり、主として導電層9とその上部に設けられる導電層とを電気的に分離するためのものである。11は絶縁層10を介してX方向に配置された複数の導電層9上部に設けられY方向に複数本設けられた導電層であり、半

導体素子が形成されるべき領域すなわち導電層9上部ではEPROMのメモリセルのコントロールゲート(CG)を構成し、それ以外の部分ではEPROMのワード線(WL)を構成するためのものである。

12は導電層9、11または導電層11の側部に密着し、少なくともゲート絶縁層となる絶縁層8と絶縁層10とを覆うように設けられた絶縁層である。絶縁層12は例えば化学的気相析出(以下、CVDという)技術による酸化シリコン層を焼き固め、高密度化した酸化シリコン層からなる。絶縁層12は、導電層(FG)9と半導体基板5との介在部に設けられ絶縁層8を少なくとも覆うように設けられる。絶縁層12は絶縁層8または絶縁層10のうちどちらか薄い方の膜厚と同程度もしくはそれ以上の膜厚に形成される。絶縁層12は各導電領域の間に生じるであろうリーク現象、あるいはゲート絶縁層となるべき以外の絶縁層8A上面部に生じるであろう情報となる電荷の漏れを抑制し、導電層9に蓄積される電荷の保持

特性を向上する。また、導電層(FG)9と導電層(CG)11との介在部に設けられた絶縁層10が絶縁層12によって覆われているので、熱酸化技術のための長い熱処理工程を必要としない。したがって、導電層(CG)11の端部における持ち上りを生じることなく、導電層9と導電層11とによって構成される容量値を低下することがなくなる。これによって、メモリセルの情報を書き込み動作における書き込み効率を向上し、読み出し動作における信頼性の向上および動作遅延を向上することができる。さらに、絶縁層12は、導電層9、11とによって構成される急峻な段差形状を緩和するようになっており、その上部に設けられる例えばアルミニウムからなる導電層の被覆性を向上できる。

13は絶縁層12と接合し導電層11上部に設けられた絶縁層である。n<sup>+</sup>型半導体領域14は半導体素子が形成されるべき領域の導電層9、11両側部の半導体基板5主面部に設けられる。n<sup>+</sup>型半導体領域14はソース領域またはドレ

ン領域としてまたはグランド線(GL)として使用され、EPROMおよびEPROMのメモリセルを構成するためのものである。

EPROMのメモリセルM、すなわち、電界効果トランジスタQは、主として、半導体基板5、その上部に絶縁層8を介して設けられた導電層9、該導電層9上部に絶縁層10を介して設けられた導電層11および一対に設けられた半導体領域14によって構成されている。

半導体素子等を覆うようにフィールド絶縁層6、絶縁層8、8A、12、13上部に半導体素子等とその上部に設けられる導電層とを電気的に分離するために、絶縁層15が設けられる。所定の半導体領域14上部の絶縁層8A、15を選択的に除去して接続孔16が絶縁層15上部に設けられる導電層との電気的な接続をするために設けられる。導電層17は接続孔16を介して所定の半導体領域14と電気的に接続し、絶縁層15上部に前記導電層(WL)11と交差するようにY方向に延在し複数本設けられる。導電層17はEPR

OMのデータ線(DL)を構成するためのものである。

次に、メモリセルの導電層9、11の側部に設ける絶縁層12において、情報となる電荷の保持特性の絶縁層12膜厚依存性について説明する。

第5図は、本発明の実施例1を説明するための情報となる電荷の保持特性の絶縁層膜厚依存性を示す図であり、第6図(A)乃至第6図(C)は、絶縁層膜厚を変えたEPR OMのメモリセル(モデル)の要部断面図である。

第5図において、横軸は、情報となる電荷の保持特性の温度依存性 $[1/T(^{\circ}\text{C})]$ を示し、縦軸は、情報となる電荷の保持時間の対数 $[\log(\text{hr})]$ を示すものである。データ(A)は、第6図(A)に示すモデルにおけるもの、データ(B)は、第6図(B)に示すモデルにおけるもの、データ(C)は、第6図(C)に示すモデルにおけるものである。

第6図(A)乃至第6図(C)において、第6図(A)は、セルフアラインメントでパターンニングした導電層9、11を覆う熱酸化技術による緻密な酸化シリ

コン層を形成しない場合のモデルを示す。第6図(B)は、セルフアラインメントでパターンニングした導電層9、10、11を覆う熱酸化技術による緻密な酸化シリコン層12Aを、絶縁層8の略2分の1の膜厚で形成した場合のモデルを示す。第6図(C)は、セルフアラインメントでパターンニングした導電層9、11を覆う熱酸化技術による緻密な酸化シリコン層12Bを、絶縁層8または絶縁層10のうちどちらか薄い方の膜厚と同程度もしくはそれ以上の膜厚で形成した場合のモデルを示す。

第5図および第6図(A)乃至第6図(C)から明らかに、導電層9、11を酸化シリコン層12Bで覆うことによって、情報となる電荷の保持時間が向上される。

本発明によれば、絶縁層8または絶縁層10のうちどちらか薄い方の膜厚と同程度もしくはそれ以上の膜厚を有する酸化シリコン層12Bで導電層9、11を覆うことによって、導電層9に蓄積された電荷がその端部から半導体基板5側または導電層11側へリークすることを抑制し、情報と

なる電荷の保持特性を向上することができる。しかしながら、熱酸化技術によって酸化シリコン層12Bを形成した場合、長い熱処理工程を必要とするために、第6図(C)に点線で示すように、導電層9、11端部に導電層9A、11Aのような持ち上りを生じてしまう。導電層9、11端部の酸化膜の成長速度が半導体主面5よりも速いために導電層9に比べ導電層11の持ち上りが大きいからである。従って、本実施例は、熱酸化技術による酸化シリコン層12Bに代えて、例えば、CVD技術で形成した酸化シリコン層を焼き固めた絶縁層12を用いる。そして、その膜厚は、特に、絶縁層8または絶縁層10のうちどちらか薄い方の膜厚と同程度もしくはそれよりも厚い方が好ましい。

次に、本実施例の具体的な製造方法について、その説明をする。

第7図(A)乃至第7図(D)は、本発明の実施例1の製造方法を説明するための各製造工程におけるEPR OMの要部断面図、第8図(A)は、第7図(B)の

ⅧA-ⅧA切断線における断面図、第8図(B)は、第7図(C)のⅧB-ⅧB切断線における断面図、第8図(C)は、第7図(D)のⅧC-ⅧC切断線における断面図である。第9図(A)乃至第9図(D)は、本発明の実施例1の製造方法を説明するための各製造工程におけるEPR OMの周辺回路の要部断面図であり、周辺回路を構成する絶縁ゲート型電界効果トランジスタ(以下、MISFETという)をEPR OMのメモリセルの各製造工程に対応させて示したものである。

まず、シリコン単結晶からなるp<sup>-</sup>型の半導体基板5を用意する。そして、半導体素子が形成されるべき領域間の半導体基板5主面部に、フィールド絶縁層6を形成し、フィールド絶縁層6下部の半導体基板5主面部に、p型のチャネルストップ領域7を形成する。フィールド絶縁層6は、半導体基板5の選択的な熱酸化技術によって形成し、チャネルストップ領域7は、イオン注入技術によってp型の不純物を導入し、該不純物を前記熱酸化技術によって引き出し拡散を施して形成す

ればよい。そして、第7図(A)および第9図(A)に示すように、半導体素子が形成されるべき領域の半導体基板5主面上部に、絶縁層8を形成する。これは、例えば半導体基板5の熱酸化によって形成し、ゲート絶縁層を構成し得るように、その膜厚を5000(Å)程度にすればよい。

第7図(A)および第9図(A)に示す工程の後、EPROMのメモリセルのフローティングゲート、周辺回路のMISFETのゲート等を形成する。このために、フィールド絶縁層6および絶縁層8上部に製造プロセスにおける第1層目の導電層、例えば3500(Å)程度の膜厚を有する多結晶シリコン層を形成し、主として、低抵抗化を目的として高濃度のリンを熱拡散技術またはイオン注入技術によって導入する。この多結晶シリコン層に所定のパターンニングを施し、EPROMのメモリセルが形成されるべき領域では、フローティングゲートを構成する多結晶シリコン層9Bを形成し、周辺回路のMISFETが形成されるべき領域では、MISFETのゲート電極9Cを形成する。

グゲート(FG)となる導電層9と、それらの間に存在する絶縁層10を形成する。そして、第7図(B)および第9図(B)に示すように、導電層9下部以外の絶縁層8とゲート電極9C下部以外の絶縁層8およびそれを覆うように設けられた絶縁層10Aを選択的に除去して、導電層11上部部、ゲート電極9C上部部および半導体基板5の所定上部部を露出させる。

第7図(B)および第9図(B)に示す工程の後、第7図(C)および第9図(C)に示すように、全面に絶縁層12Aを形成する。これは、例えば、CVD技術による酸化シリコン層によって形成し、その膜厚を5000~10000(Å)程度にすればよい。

第7図(D)および第9図(D)に示す工程の後、絶縁層12Aにその形成された膜厚分に相当するリソグラフィイオンエッチング等の異方性エッチングを施す。第7図(E)および第9図(E)に示すように、導電層9、11両部に、絶縁層8、10を覆い導電層11上部部に達する絶縁層12Bが形成され、ゲート電極9C両部に、その上部部に達する絶縁

そして、第7図(D)、第8図(D)および第9図(D)に示すように、多結晶シリコン層9Bおよびゲート電極9Cを覆うように、絶縁層10Aを形成する。これは、例えば多結晶シリコン層9Bの熱酸化によって形成し、その膜厚を500(Å)程度に形成すればよい。

第7図(E)、第8図(E)および第9図(E)に示す工程の後、第7図(F)、第8図(F)および第9図(F)に示すように、EPROMのメモリセルのコントロールゲートおよびワード線(WL)を形成する。このために、絶縁層10Aおよびフィールド絶縁層6上部に製造プロセスにおける第2層目の導電層、例えば3500(Å)程度の膜厚を有し高濃度のリンを導入した多結晶シリコン層11Bを形成する。

第7図(G)、第8図(G)および第9図(G)に示す工程の後、EPROMのメモリセルが形成されるべき領域において、多結晶シリコン層11B、絶縁層10Aおよび多結晶シリコン層9Bをパターンニングし、コントロールゲート(CG)およびワード線(WL)となる導電層11と、フローティン

層12Bが形成される。絶縁層12Bは、絶縁層8、10のうち薄い方の膜厚と同程度もしくはそれ以上の膜厚で形成される。

第7図(F)および第9図(F)に示す工程の後、熱処理を施すことによって第7図(G)および第9図(G)に示すように、絶縁層12Bを焼き固めること(デンスファイ)によって高密度化した絶縁層12を形成する。同時に、ソース領域またはドレイン領域として使用される半導体領域が形成されるべき領域となる半導体基板5主面上部に絶縁層8Aが形成され、導電層11およびゲート電極9C上部に絶縁層13が形成される。絶縁層13は、半導体領域形成のために導入する不純物のマスク、EPROMの電気的特性に影響を与える不要な不純物による汚染防止等をするためのものである。前記熱処理工程は、例えば800~850(℃)程度のスチーム酸化技術を用いればよい。これによれば、導電層11、ゲート電極9C上部部の絶縁層13は、500(Å)程度の膜厚で形成される。また、第7図(H)、第9図(H)に示す工程の後、熱



酸化技術によって、導電層9、11およびゲート電極9Cを覆う薄い絶縁層(膜厚としては、例えば300[Å]程度以下)を形成した後、絶縁層12を形成することによって、導電層9、11およびゲート電極9Cと絶縁層12との密着性をより向上させることができる。なお、本実施例は、絶縁層12の形成工程と同時に絶縁層8A、13が形成できるので、製造プロセスにおいて有利である。

第7図(f)および第9図(f)に示す工程の後、第7図(f)および第9図(f)に示すように、主として、絶縁層12、13およびフィールド絶縁層6を不純物導入のためのマスクとして用い、半導体素子が形成されるべき領域の導電層9、11およびゲート電極9C両側部の絶縁層8Aを介した半導体基板5主面部に、ソース領域またはドレイン領域として使用される $n^+$ 型の半導体領域14を形成する。これは、例えば、 $1 \times 10^{18}$ [原子個/cm<sup>2</sup>]程度のヒ素イオン不純物を、70~90[KeV]程度のエネルギーのイオン注入技術によって形成す

ればよい。絶縁層12によってEPROMのメモリセルおよび周辺回路のMISFETのチャンネルが形成されるべき領域への拡散量が低減される。導電層9と半導体領域14およびゲート電極9Cと半導体領域14とによって構成されるミラー容量が低減される。従って、メモリセルおよびその周辺回路における動作速度を向上することができる。半導体領域14は、前記絶縁層12の形成後に形成され、それ以後に長い熱処理工程は製造プロセスに無いので、必要以上の引き伸ばし拡散は施されない。従って、十分な実効チャンネル長を得ることができるので、短チャンネル効果を防止することができる。

第7図(f)および第9図(f)に示す工程の後、第7図(g)および第9図(g)に示すように、全面に絶縁層15を形成する。これは、例えばガラスフローによってその上面部の平均化ができるフォスフォシリケートガラス層(PSG)を用いればよい。導電層9、11およびゲート電極9Cによる急峻な段差形状は、急峻な段差形状を緩和することの

できる絶縁層12によって緩和されているので、絶縁層15の上面部はより平坦化されるようになっている。

第7図(h)および第9図(h)に示す工程の後、所定の半導体領域14上部の絶縁層8A、15を選択的に除去し、接続孔16を形成する。そして、第7図(i)、第8図(i)および第9図(i)に示すように、接続孔16を介して所定の半導体領域14と電気的に接続するように、絶縁層15上部に製造プロセスにおける第3層目の導電層17、17Aを形成する。これは、例えばスパッタ蒸着技術によるアルミニウム層を用いればよい。アルミニウム層は、比較的低い抵抗値を有しているが、急峻な段差部における被覆性が悪い。しかしながら、絶縁層15上面部は前述したようにその上面部が平坦化されているので、アルミニウム層の被覆性は良好であり、多層配線技術における信頼性を向上させることができる。

これら一連の製造工程によって、本実施例のEPROMは完成する。なお、この後に、保護膜等

の処理工程を施してもよい。

また、第7図(f)で形成した絶縁層12Bは、第7図(i)に示すようにしてもよい。

第7図(i)は、本発明のその他の実施例1の製造方法を説明するための各製造工程におけるEPROMの要部断面図である。

すなわち、第7図(i)に示す工程の後、絶縁層12Aの異方性エッチング量を制御し、第7図(i)に示すように、絶縁層8、10を覆う絶縁層12Cを形成してもよい。

なお、前述の説明では、CVD技術による酸化シリコン層で絶縁層12を形成したが、スパッタ技術、プラズマCVD技術による酸化シリコン層あるいはガラスフローを生じない程度の低濃度のフォスフォシリケートガラス層を焼き固め(デンシファイ)して絶縁層12を形成してもよい。

また、前述の説明では、EPROMの周辺回路のMISFETを構成するゲート電極9Cを製造プロセスにおける第1層目の導電層によって形成したが、製造プロセスにおける第2層目の導電層

によって形成してもよい。

#### [実施例Ⅱ]

次に、前記実施例Ⅰと異なる具体的な製造方法について、その説明をする。

第10図Ⅳ乃至第10図Ⅶは、本発明の実施例Ⅱの製造方法を説明するための各製造工程におけるEPRMの要部断面図である。

前記実施例Ⅰの第7図Ⅲに示す工程の後に、熱処理工程を施し、第10図Ⅳに示すように、絶縁層12Aをち密化した絶縁層12Bを形成する。ソース領域またはドレイン領域である半導体領域を形成前であるので、例えば800~1000[℃]程度の比較的高温度のsteamまたはドライO<sub>2</sub>酸化技術によって形成できる。

第10図Ⅳに示す工程の後に、実施例Ⅰと同様に異方性のエッチングを施し、第10図Ⅴに示すように、絶縁層12を形成する。

第10図Ⅵに示す工程の後に、熱処理工程を施し、第10図Ⅶに示すように、絶縁層8A、13を形成する。

これは、例えば、半導体領域14を設けたときに、絶縁層12によってチャネルが形成されるべき領域への引き出し拡散が充分でない場合、また、電界効果トランジスタのドレイン領域となる半導体領域14と半導体基板5との接合耐圧を向上する場合に、それらを解決するものとして有効である。

次に、本実施例の具体的な製造方法について、その説明をする。

第13図は、本発明の実施例Ⅱの製造方法を説明するための要部製造工程におけるEPRMの要部断面図である。

前記実施例Ⅰの第7図Ⅲに示す工程の後に、主として、導電層11、フィールド絶縁層6を不純物導入のためのマスクとして用い、第13図に示すように、導電層9、11両側部の半導体基板5主面部に、n<sup>-</sup>型の半導体領域14Aを形成する。これは、例えば、 $1 \times 10^{14} \sim 1 \times 10^{15}$  [原子/cm<sup>2</sup>]程度のヒ素イオン不純物またはリンイオン不純物を用い、70~90 [KeV]程度のエネ

第10図Ⅶに示す工程の後に、第10図Ⅷに示すように、絶縁層8Aを介した半導体基板5主面部に、ソース領域またはドレイン領域として使用されるn<sup>+</sup>型の半導体領域14を形成する。

第10図Ⅷに示す工程の後に、前記実施例Ⅰの第7図Ⅲに示す工程およびそれ以後の工程を施せばよい。

これら一連の製造工程によって、本実施例のEPRMは完成する。

#### [実施例Ⅲ]

まず、本実施例の具体的な構造について、その説明をする。

第11図は、本発明の実施例Ⅲの構造を説明するためのEPRMの要部断面図。第12図は、第11図のⅪ-Ⅺ'切断線における断面図である。

第11図および第12図において、14AはEPRMのメモリセルとなる電界効果トランジスタのチャネルが形成されるべき領域と半導体領域14と電気的に接続してそれとの間の半導体基板5主面部に設けられたn<sup>-</sup>型の半導体領域である。

ルギのイオン注入技術によって形成すればよい。

また、半導体領域14Aを形成すべき不純物の導入に際し、導電層9、11および半導体基板5主面上部にそれらを覆う耐不純物導入のためのマスクとなる絶縁層を設け、熱拡散等による不純物の導入後に、前記絶縁層を除去してもよい。

第13図に示す工程の後に、前記実施例Ⅰの第7図Ⅲに示す工程およびそれ以後の工程を施せばよい。

これら一連の工程によって、本実施例のEPRMは完成する。

なお、本実施例は、前記実施例Ⅰに限定されるものではなく、前記実施例Ⅱの製造方法を適用してもよい。

本実施例では、前記実施例Ⅰの第9図Ⅳ~第9図Ⅶに示した周辺回路のMISFETをも同様の構造とすることができる。すなわち、第9図Ⅳに示す状態で第13図の工程と同時にn<sup>-</sup>型半導体領域を形成する。この後、第9図に示す工程に従えば、周辺回路のMISFETのソース領域およ

びドレイン領域は、 $n^+$ 型半導体領域14と $n^-$ 型半導体領域14Aとで構成される。これによって、MISFETの接合のブレークダウン電圧の向上、ホットキャリア発生の抑制等の効果が得られる。

#### [実施例Ⅳ]

まず、本実施例の具体的な構造について、その説明をする。

第14図は、本発明の実施例Ⅳの構造を説明するためのEPR OMの要部断面図、第15図は、第14図のXV-XV切断線における断面図である。

11Cは絶縁層10を介して導電層9上部に設けられた導電層11Cは、半導体素子が形成されるべき領域すなわち導電層9上部ではEPR OMのメモリスルコントロールゲート(CG)を構成し、それ以外の部分ではEPR OMのワード線(WL)を構成するためのものである。導電層11Cは、多結晶シリコン層11D上部に、それよりも低い抵抗値を有するモリブデン、タングスタン、タンタル、チタン等の高融点金属とシリコ

ンとの化合物であるシリサイド層11Eを被覆して構成されている。これによって、EPR OMの動作速度を向上することができる。導電層11Cは、シリサイド層11Eのみ、あるいは、高融点金属層によって構成してもよい。14Bは半導体領域14主面部に設けられたシリサイド層であり、半導体領域14の抵抗値を低減し、EPR OMの動作速度を向上するためのものである。

次に、本実施例の具体的な製造方法について、その説明をする。

第16図(A)乃至第16図(C)は、本発明の実施例Ⅳの第1製造方法を説明するための各製造工程におけるEPR OMの要部断面図である。

前記実施例Ⅱの第10図(B)に示す工程の後に、第16図(A)に示すように、半導体基板5主面部に、ソース領域またはドレイン領域として使用される $n^+$ 型の半導体領域14を形成する。

第16図(A)に示す工程の後に、第16図(B)に示すように、例えば選択CVD(又はMOCVD)技術によって、導電層11上部および半導体領域

14上部に選択的に高融点金属層14Cを形成する。高融点金属層14Cは、例えばタングステン(W)を用いればよい。

第16図(B)に示す工程の後に、熱処理技術によって、第16図(C)に示すように、その下部を多結晶シリコン層11Dとして残し導電層11の上部をシリサイド層11Eに形成し、さらに、半導体領域14の主面部をシリサイド層14Bに形成する。

第16図(C)に示す工程の後に、前記実施例Ⅱの第7図(B)に示す工程およびそれ以後の工程を施せばよい。

これら一連の製造工程によって、本実施例のEPR OMは完成する。

第17図(A)および第17図(B)は、本発明の実施例Ⅳの第2製造方法を説明するための各製造工程におけるEPR OMの要部断面図である。

前記第1製造方法の第16図(A)に示す工程の後に、第17図(A)に示すように、例えばスパッタ技術によって、全面に高融点金属層(例えばTi, W,

Ta, Mo)14Dを形成する。

第17図(A)に示す工程の後に、熱処理技術によって、第17図(B)に示すように、露出したシリコンと高融点金属層14Dとを反応させ、導電層11上部をその下部を多結晶シリコン層11Dとして残しシリサイド層11Eに形成し、さらに、半導体領域14主面部をシリサイド層14Bに形成する。そして、この後に、シリサイド化していない高融点金属層14Dを選択的に除去する。

この後、前記実施例Ⅱの第7図(B)に示す工程およびそれ以後の工程を施せばよい。

これら一連の製造工程によって、本実施例のEPR OMは完成する。

また、本実施例を前記実施例Ⅲに適用してもよい。

#### [実施例Ⅴ]

第18図および第19図は、本発明の実施例Ⅴの具体的な構造を説明するためのEPR OMの要部断面図である。

本実施例は、前記実施例における絶縁層12を

形成するのではなく、焼き固めち密化した酸化シリコン層である絶縁層12Eをそのまま利用したものである。

〔効 果〕

フローティングゲートとなる第1の導電層を有する電界効果トランジスタを備えた半導体集積回路装置において、以下に述べる効果を得ることができる。

(1)、第1の導電層の側部に、少なくとも電界効果トランジスタを構成するゲート絶縁層を覆うように、例えば焼き固めた酸化シリコン層からなる第1の絶縁層を設けることによって、前記第1の導電層に蓄積される情報となる電荷の半導体基板側へのリーク現象を抑制することができるので、電界効果トランジスタの情報となる電荷の保持特性を向上することができる。

(2)、第1の導電層の側部に、少なくともゲート絶縁層を覆い、かつ、それよりも膜厚の厚い第1の絶縁層を設けることによって、前記第1の導電層に蓄積される情報となる電荷の半導体基板側への

る。

(5)、前記導電層側部に、その急峻な段差形状を緩和することのできる前記第1の絶縁層を設けることによって、その上部に設けられる絶縁層上面部が平坦化できるので、絶縁層上面部に設けられる上層の導電層の被覆性を向上することができる。

(6)、電界効果トランジスタの前記導電層側部およびそれ以外例えばMISFETのゲート電極側部に、それらの急峻な段差形状を緩和することのできる前記第1の絶縁層を設けることによって、それらの上部に設けられる絶縁層上面部が平坦化できるので、絶縁層上面部に設けられる上層の導電層の被覆性を向上することができる。

(7)、前記導電層側部に第1の絶縁層を形成した後に、ソース領域またはドレイン領域として使用される一対の半導体領域を形成することによって、半導体領域の不要な引き出し拡散を生じるような長い熱処理工程はなくなるので、浅い接合深さを有する半導体領域を設けることができる。

(8)、前記(7)および第1の絶縁層によって、半導体

リーク現象を抑制することができるので、電界効果トランジスタの情報となる電荷の保持特性を向上することができる。

(3)、第1の導電層と、その上部に層間絶縁層を介してコントロールゲートとなる第2の導電層とを有する導電層により構成されてなる電界効果トランジスタを備え、前記導電層の側部に、少なくともゲート絶縁層と層間絶縁層とを覆うように、第1の絶縁層を設けることによって、前記第1の導電層に蓄積される情報となる電荷の半導体基板側及びコントロールゲート側へのリーク現象を抑制することができるので、電界効果トランジスタの情報となる電荷の保持特性を向上することができる。かつ、特に第2の導電層の端部における持ち上りを防止することができるので、第1の導電層と第2の導電層とによって構成される寄生容量値の低下を抑制することができる。

(4)、前記(3)によって、寄生容量値の低下を抑制できるので、情報の書き込みおよび読み出し動作における信頼性と動作速度とを向上することができる。

領域は、電界効果トランジスタのチャネルが形成されるべき領域への不要な引き出し拡散は抑制され、充分な実効チャネル長を得ることができるので、短チャネル効果を防止することができる。

(9)、前記(7)および第1の絶縁層によって、半導体領域は、電界効果トランジスタのチャネルが形成されるべき領域への不要な引き出し拡散量は抑制されるので、前記第1の導電層と半導体領域とにより構成されるミラー容量を低減することができる。

(10)、前記(9)によって、ミラー容量を低減することができるので、動作速度を向上することができる。

(11)、前記(1)乃至(6)および(8)によって、情報となる電荷の保持特性の向上、上層の導電層の被覆性の向上および短チャネル効果を防止することができるので、半導体集積回路装置の信頼性を向上することができる。

(12)、前記(4)、(7)および(9)によって、半導体集積回路装置の動作速度を向上することができる。

(13)、前記(1)乃至(4)、(7)、(8)および(11)によって、そ

の信頼性を著しく向上できるので、半導体集積回路装置の高集積化が可能となる。

以上、本発明者によってなされた発明を前記実施例にもとづき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、前記実施例は半導体基板にEPR OMのメモリセルを設けた場合について説明したが、半導体基板にウエル領域を設け、該ウエル領域にEPR OMのメモリセルを設けてもよい。

また、前記実施例はフローティングゲートとコントロールゲートとを有するEPR OMのメモリセルについて説明したが、これに限定されるものではなく、フローティングゲートのみを有するメモリセルであってもよい。

また、前記実施例はEPR OMの周辺回路としてMISFETを用いて説明したが、相補型のMISFET、バイポーラトランジスタであってもよい。

ける断面図、

第8図(C)は、第7図(B)のⅧC-ⅧC切断線における断面図、

第9図(A)乃至第9図(D)は、本発明の実施例Iの製造方法を説明するための各製造工程におけるEPR OMの周辺回路の要部断面図、

第7図(E)および第7図(F)は、本発明のその他の実施例Iの製造方法を説明するための各製造工程におけるEPR OMの要部断面図、

第10図(A)乃至第10図(D)は、本発明の実施例IIの製造方法を説明するための各製造工程におけるEPR OMの要部断面図、

第11図は、本発明の実施例IIIを説明するためのEPR OMの要部断面図、

第12図は、第11図のⅪ-Ⅺ切断線における断面図、

第13図は、本発明の実施例IVの製造方法を説明するための要部製造工程におけるEPR OMの要部断面図、

第14図は、本発明の実施例Vを説明するため

図面の簡単な説明

第1図は、本発明の実施例Iの概要を説明するためのEPR OMの要部を示す等価回路図、

第2図は、本発明の実施例Iを説明するためのEPR OMの要部平面図、

第3図は、第2図のⅡ-Ⅲ切断線における断面図、

第4図は、第2図のⅣ-Ⅳ切断線における断面図、

第5図は、本発明の実施例Iを説明するための情報となる電荷の保持特性の絶縁膜厚依存性を示す図、

第6図(A)乃至第6図(C)は、絶縁膜厚を変化したEPR OMのメモリセルの要部断面図、

第7図(A)乃至第7図(F)は、本発明の実施例Iの製造方法を説明するための各製造工程におけるEPR OMの要部断面図、

第8図(A)は、第7図(B)のⅧA-ⅧA切断線における断面図、

第8図(B)は、第7図(C)のⅧB-ⅧB切断線にお

のEPR OMの要部断面図、

第15図は、第14図のXV-XV切断線における断面図、

第16図(A)乃至第16図(C)は、本発明の実施例IVの第1製造方法を説明するための各製造工程におけるEPR OMの要部断面図、

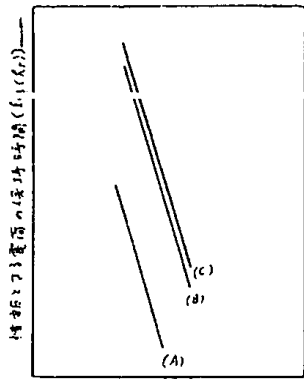
第17図(A)および第17図(B)は、本発明の実施例IVの第2製造方法を説明するための各製造工程におけるEPR OMの要部断面図、

第18図および第19図は、本発明の実施例Vの具体的な構造を説明するためのEPR OMの要部断面図である。

図中、1…X-デコーダ、2…Y-デコーダ、3…書き込み回路、4…センスアンプ、5…半導体基板、6…フィールド絶縁層、7…チャネルストップ領域、8、8A、10、10A、12、12A乃至12E、13、15…絶縁層、9、9A、11、11A、11C、17、17A…導電層、9B、11B、11D…多結晶シリコン層、9C…ゲート電極、11E、14B…シリサイド

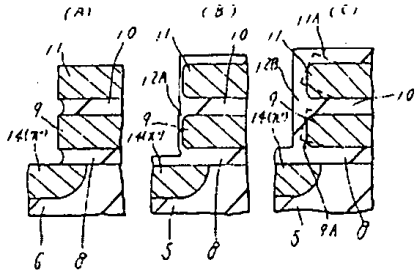


第 5 圖



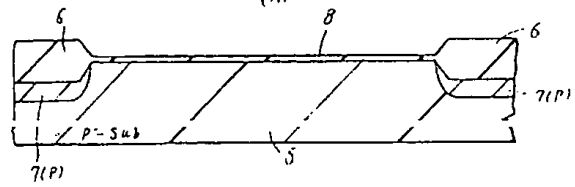
槽部 7 (P) 上面に導電性材料の薄層を形成 (4r (4d))

第 6 圖 第 6 圖 第 6 圖



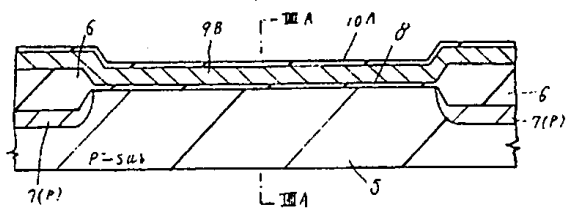
第 7 圖

(A)



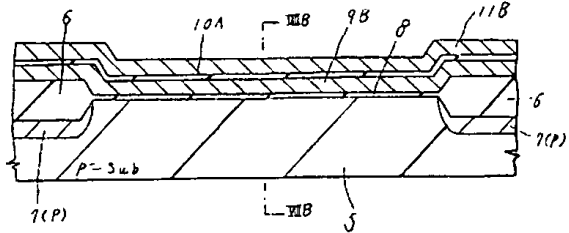
第 7 圖

(B)



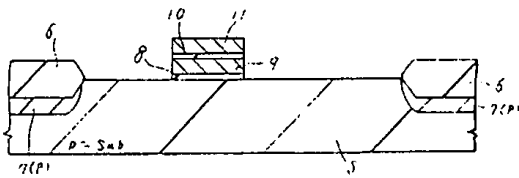
第 7 圖

(C)



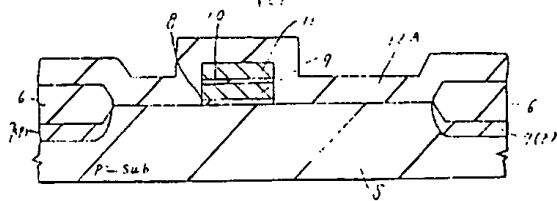
第 7 圖

(D)



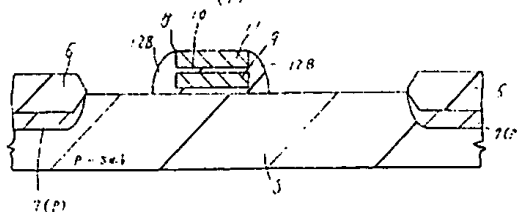
第 7 圖

(E)



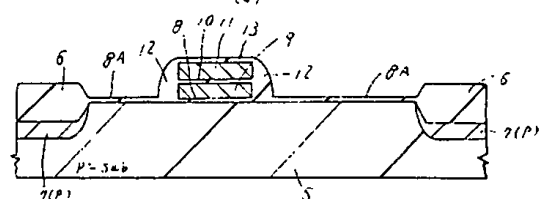
第 7 圖

(F)



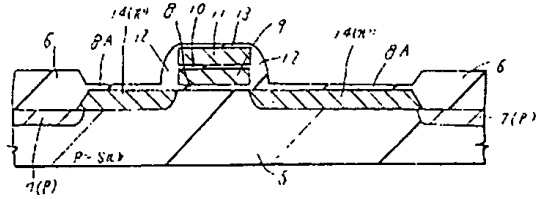
第 7 圖

(G)



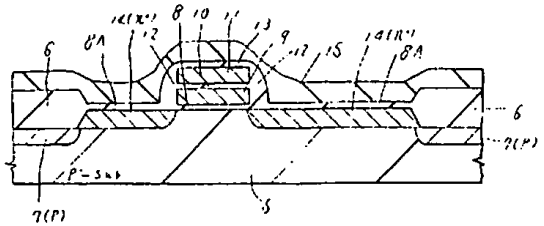
第 7 圖

(H)

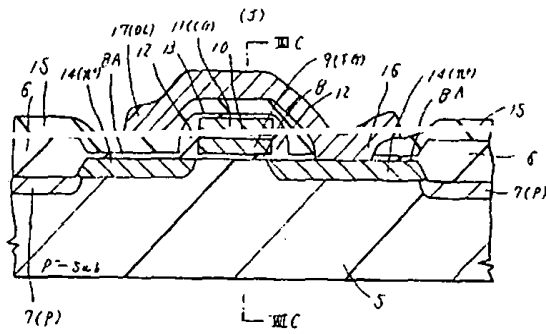


第 7 圖

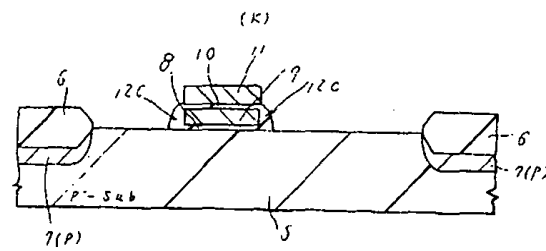
(I)



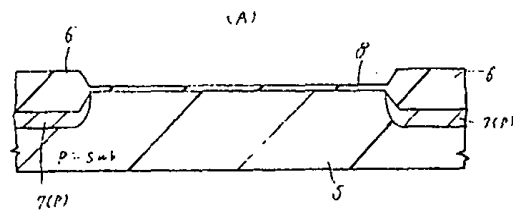
第 7 図



第 7 図



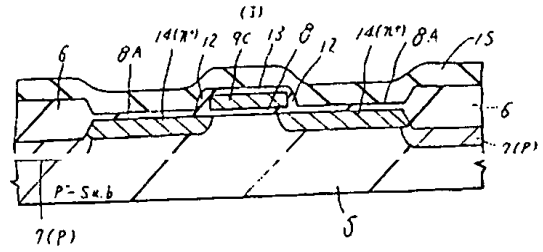
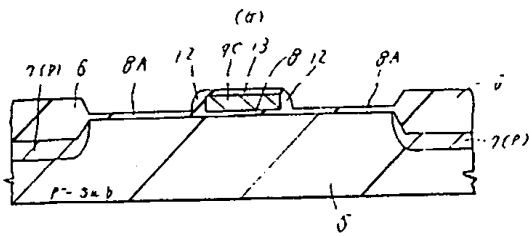
第 9 図





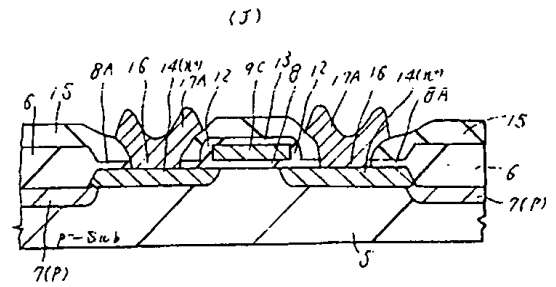
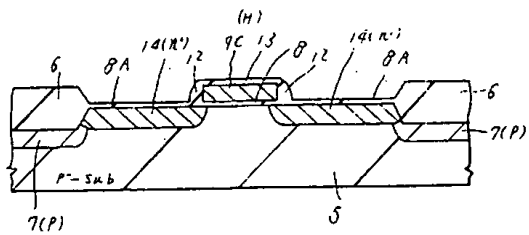
第 9 図

第 9 図

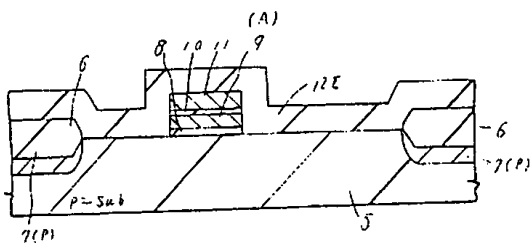


第 9 図

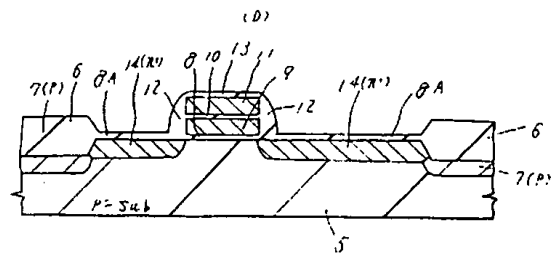
第 9 図



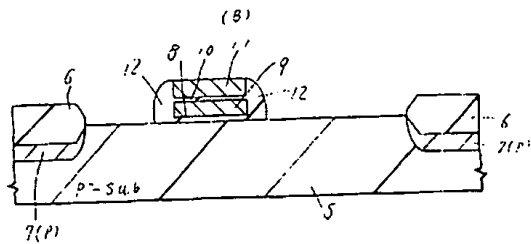
第 10 図



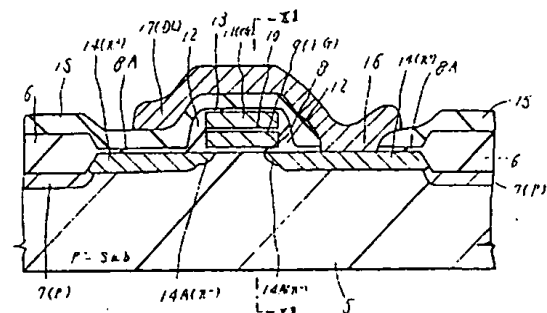
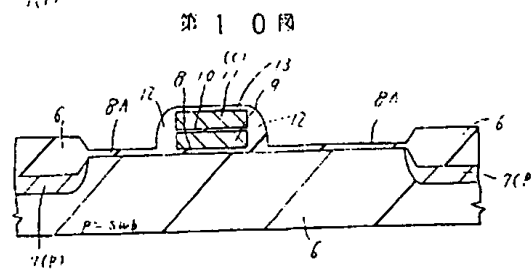
第 10 図



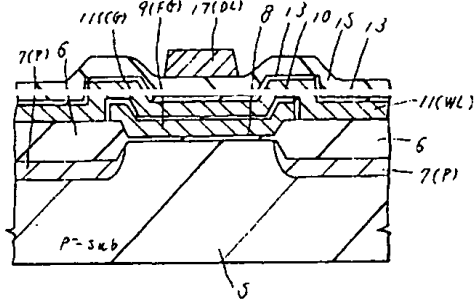
第 10 図



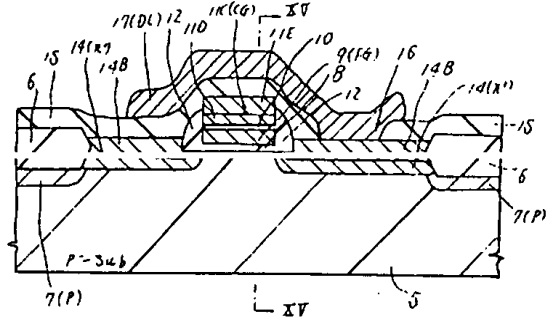
第 11 図



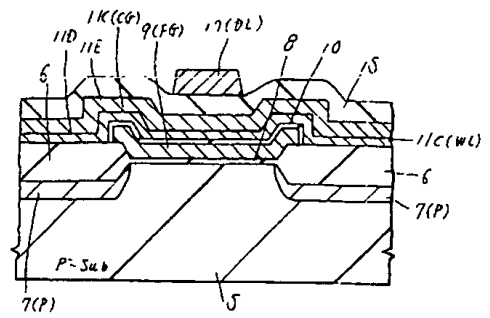
第 1 2 圖



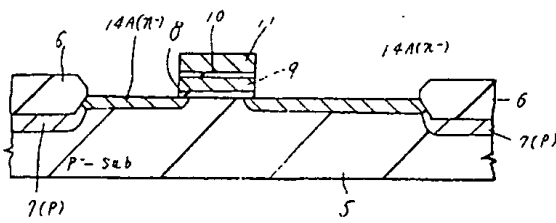
第 1 4 圖



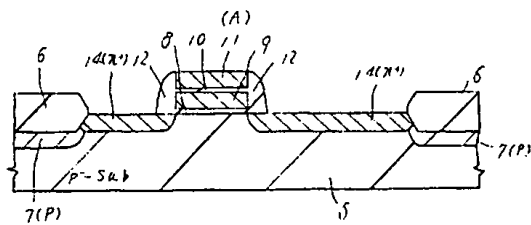
第 1 5 圖



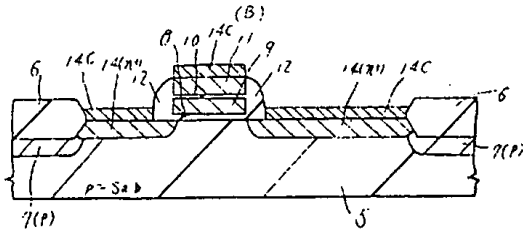
第 1 3 圖



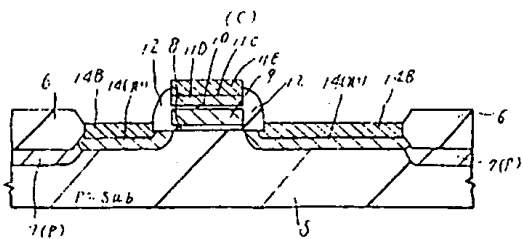
第 1 6 圖



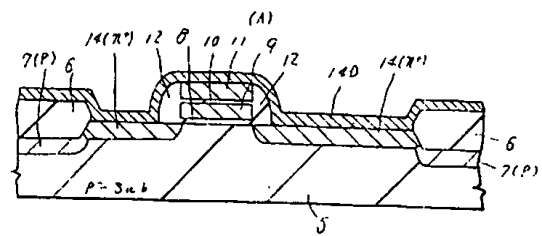
第 1 6 圖



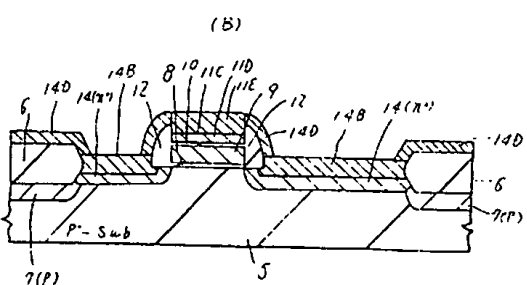
第 1 6 圖



第 1 7 圖

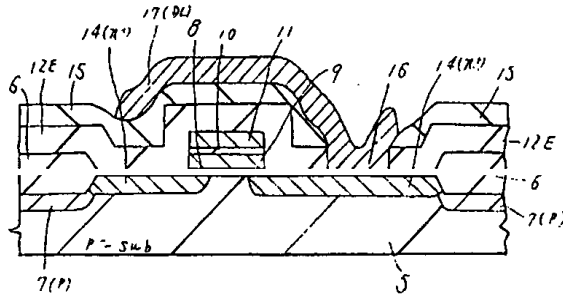


第 1 7 圖



昭和 59 年 6 月 20 日

第 18 図



特許庁長官 殿

事件の表示

昭和 59 年 特許願 第 32355 号

発明の名称

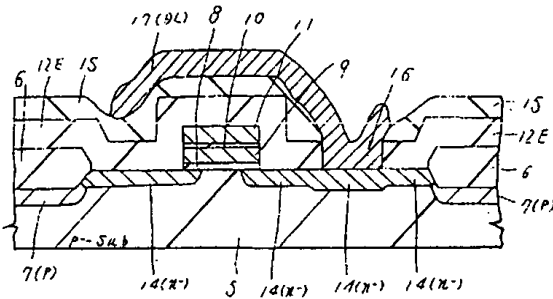
半導体集積回路装置およびその製造方法

補正をする者

特許出願人

株式会社日立製作所

第 19 図



代理人

〒100 東京都千代田区丸の内一丁目5番1号  
株式会社日立製作所内 第3 第2-1111 (大代)

氏名 高橋 明夫

補正命令の日付 昭和 59 年 5 月 29 日

補正の対象

明細書の図面の簡単な説明の欄

補正の内容

1. 明細書の第44頁第15行「第32355号」を「第32355号」に補正する。
2. 明細書の第45頁第7行「第32355号」を削除する。